

Original document

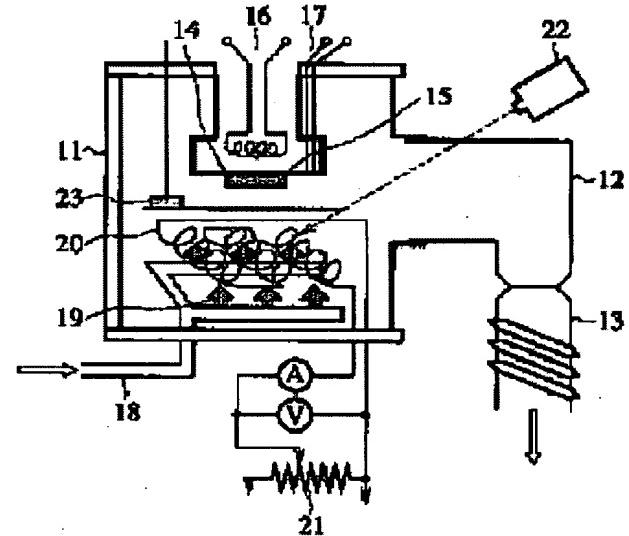
# MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2000216163  
 Publication date: 2000-08-04  
 Inventor: SATO TAKEKAZU; IZUMI AKIRA; MATSUMURA HIDEKI  
 Applicant: FUJITSU LTD  
 Classification:  
     international: **H01L21/31; H01L21/318; H01L21/324; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/324; H01L21/31; H01L21/318; H01L21/336; H01L29/78; H01L29/786**  
     european:  
 Application number: JP19990011560 19990120  
 Priority number(s): JP19990011560 19990120

[View INPADOC patent family](#)
[Report a data error here](#)

## Abstract of JP2000216163

**PROBLEM TO BE SOLVED:** To enable an SiN film formed at a low temperature to be modified by low-temperature annealing so as to simplify a manufacturing device system in structure, by a method wherein material gas is spouted out against a catalyst to be partially decomposed, and the SiN film is exposed to an atmosphere of active species generated by decomposition. **SOLUTION:** A gas feed pipe 18 with a nozzle and a tungsten catalyst 20 are arranged so as to confront a specimen 15, a shutter 23 is provided between them, an AC power is applied to the tungsten catalyst 20, and the tungsten catalyst 20 is kept at a temperature of 1800 to 1900 deg.C. Material gas 19 is spouted out against the tungsten catalyst 20 to come into contact with it, by which the material gas 19 is decomposed into active species such as radicals or the like, and the shutter 23 is opened to make the specimen 15 exposed to an atmosphere that contains the active species, by which a film is formed or subjected to an annealing treatment.




---

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-216163

(P2000-216163A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 21/324

識別記号

F I  
H 0 1 L 21/324

テマコード(参考)

G 5 F 0 4 0  
X 5 F 0 4 5  
Z 5 F 0 5 8  
B 5 F 1 1 0  
B

21/31

21/31

21/318

21/318

審査請求 未請求 請求項の数 5 OL (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-11560

(22)出願日 平成11年1月20日(1999.1.20)

特許法第30条第1項適用申請有り 1998年9月15日 社団法人応用物理学会発行の「1998年(平成10年)秋季第59回応用物理学会学術講演会講演予稿集 第2分冊」に発表

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 佐藤 豪一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 和泉 亮

石川県能美郡辰口町旭台1-50 大学宿舎  
C-52

(74)代理人 100072833

弁理士 柏谷 昭司 (外2名)

最終頁に続く

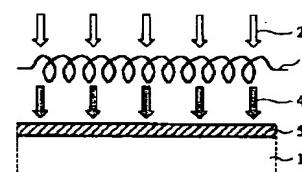
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造方法に関し、低温で成膜したSiN膜を低温アニールによって改質し、また、製造装置系の構成を簡素化する。

【解決手段】 基体1上にSiN膜5を堆積したのち、触媒体3に原料ガス2を吹きつけ、触媒体3と原料ガス2との接触反応によって原料ガス2の少なくとも一部を分解し、分解によって生成された活性種4の雰囲気中にSiN膜5を晒す。

本発明の原理的構成の説明図



- 1 : 基体  
2 : 原料ガス  
3 : 触媒体  
4 : 活性種  
5 : SiN膜

## 【特許請求の範囲】

【請求項1】 基体上にSiN膜を堆積したのち、触媒体に原料ガスを吹きつけ、前記触媒体と原料ガスとの接触反応によって原料ガスの少なくとも一部を分解し、分解によって生成された活性種の雰囲気中に前記SiN膜を晒すことを特徴とする半導体装置の製造方法。

【請求項2】 上記原料ガスとして、NH<sub>3</sub>を用いたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記触媒体として、抵抗発熱体を用いたことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 上記触媒体として、タンクステンを用いたことを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 上記SiN膜が、触媒体化学気相成長法によって堆積したSiN膜であり、引き続いて、同じ反応容器内において、上記原料ガスの分解によって生成された活性種の雰囲気中にSiN膜を晒すことを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関するものであり、特に、半導体基板とSiN膜との界面状態及びSiN膜の膜質を改善するための熱処理方法に特徴のある半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】近年の半導体集積回路装置の高集積化、微細化の進展に伴い、半導体集積回路装置を構成するMISFET（金属-絶縁体-半導体FET）も微細化が要求され、微細化に伴って低電圧化が要請されるためにゲート絶縁膜の厚さを薄くする必要が生じるが、ゲート絶縁膜として従来のMISFETの様にSiO<sub>2</sub>膜を用いた場合、SiO<sub>2</sub>膜を4nm程度まで薄膜化すると、膜厚の均一性の保持が難しくなるのに加え、リーク電流の増大やゲート電極にドープする不純物がチャネル領域に突き抜ける現象などが顕在化し、MISFETの特性に深刻な影響を及ぼすようになってきた。

【0003】この様な問題を解決するために、ゲート絶縁膜として、SiO<sub>2</sub>膜の代わりにSiO<sub>x</sub>膜より比誘電率の大きなシリコン窒化膜（SiN<sub>x</sub>膜、化学量論比的にはSi<sub>x</sub>N<sub>y</sub>膜）、即ち、SiN膜の適用が検討されている。即ち、SiN膜は比誘電率が大きいので、SiO<sub>2</sub>膜より厚い膜厚のSiN膜を用いても、同等のゲート特性を得ることができるのである。

【0004】従来のSiN膜の作製方法としては、熱窒化による直接窒化法や、熱CVD法が広く用いられているが、これらのプロセスは、いずれも800°C以上の高温プロセスであるため、この様な高温プロセスによって

ゲート絶縁膜となるSiN膜を形成した場合には、しきい値電圧V<sub>t</sub>調整用にチャネル領域にドープした不純物をSiN膜の堆積工程において再分布させることになり、短チャネル効果の悪化、即ち、ソースードレイン領域間のパンチスルーを誘発することになる。また、この様な高温プロセスは、近年のウェハの大口径化に対しては、ウェハの反りをもたらし、加工精度の低下を引き起こすという問題もある。

【0005】この様な高温プロセスの問題点に鑑み、低温プロセスであるプラズマCVD（PCVD）法やJVD（Jet Vapor Deposition）法の適用が試みられており、例えばYale大学、Jet Process Corp.、或いは、モトローラ社においては、EOT（Equivalent Oxide Thickness：等価酸化膜厚）換算で、2~5nmのSiN膜をJVD法で成膜することが研究されており、特に、モトローラ社においては、0.35μmデバイスへの応用研究が行われ、良好な結果を示している。なお、EOT（等価酸化膜厚）とは、比誘電率をSiO<sub>2</sub>膜と同じ3.9であるとして、C-V特性から算出した絶縁膜の膜厚である。

【0006】しかし、この様なPCVD法やJVD法によって成膜したSiN膜は、堆積しただけでは膜質があまり良くなく、I（電流）-V（電圧）特性に相当するJ（電流密度）-E（電界）特性において電界Eの増加に伴って電流密度Jが上昇するという問題、即ち、リーク電流が増大するという問題がある（例えば、後述する図3のJ-E特性参照）。

【0007】したがって、この様な低温SiN膜の膜質を改善するためには、800°C程度の高温におけるN<sub>2</sub>雰囲気中でアニールを行う必要が生じ、結局は全体としては高温プロセスになってしまふことになる。

【0008】さらに、低温SiN膜の膜質を改善するために、プラズマプロセスを用いてSiN膜内へ窒素を導入することも検討されているが、プラズマによるSiN膜へのダメージ、或いは、シリコン基板へのダメージが懸念されている。

【0009】一方、この様な高温プロセスやプラズマのダメージを伴わない絶縁膜の形成方法として、低温プロセスで絶縁膜を成膜したのち触媒で活性化したガス雰囲気中で400~700°Cの温度でアニールすることが提案されている（例えば、特開平8-78695号公報参照）。

【0010】この提案においては、熱処理を行う反応室内、或いは、それとは独立の反応室内にメッシュ状の触媒を配置し、原料ガスをメッシュ状の触媒を透過させることによって活性化し、活性化した活性種、即ち、ラジカルにより結晶性Si膜/酸化珪素膜界面のシリコン-水素結合（Si-H）をシリコン-窒素結合（Si≡N）に置き換えることによって、酸化膜の膜質を改善し

ようとするものであり、全体を700°C以下の低温プロセスで行うことができる。

【0011】例えば、上記提案においては、TFTを構成する結晶性Si膜の表面にスパッタリング法によってゲート絶縁膜となる厚さ20~150nm、例えば、100nmの酸化珪素膜を堆積させたのち、触媒となる白金網によって活性化したN<sub>2</sub>Oを用いて500~650°Cにおいて1時間熱処理を行うことによって、酸化珪素膜中、及び、酸化珪素膜と結晶性Si膜の界面における水素を酸化或いは窒化によって減少させて酸化珪素膜の膜質及び界面の特性を向上することが開示されている。

【0012】また、上記提案においては、TFTを構成する結晶性Si膜の表面にECR-CVD法によってゲート絶縁膜となる厚さ120nmの酸化珪素膜を堆積させたのち、触媒となるTiを吸着させた粒状或いは粉状のシリカゲルによって、Arによって1~5%に希釈されたNH<sub>3</sub>を活性化し、1時間のアニールを施すことによって酸化珪素膜を窒化し、次いで、触媒によって活性化したN<sub>2</sub>Oを用いて500~650°Cにおいて1時間熱処理を行うことによって、窒化された酸化珪素膜と結晶性Si膜の界面の特性を向上することが開示されている。

#### 【0013】

【発明が解決しようとする課題】しかし、上述の様に、PCVD法或いはJVD法を用いた場合には、低温SiN膜の膜質を改善するためには、800°C程度の高温におけるN<sub>2</sub>雰囲気中でアニールを行う必要が生じ、結局、全体としては高温プロセスになってしまふという問題がある。

【0014】また、上述の触媒で活性化したガスを用いて低温アニールする方法の場合には、100nm程度のかなり厚い酸化珪素膜を対象とするものであり、本発明において対象とするEOTが2~5nm程度の極薄いSiN膜の改質のために適用可能かは不明であり、且つ、そのための具体的要件は何ら開示されていないものである。

【0015】さらに、この場合には、PCVD法やECR-CVD法によって堆積した酸化珪素膜を、触媒を備えた別の反応室内で400~700°Cの温度で熱処理するものであり、製造装置系の構成が複雑化するとともに、低温プロセスといっても400°C以上の温度を必要とするという問題がある。

【0016】したがって、本発明は、低温で成膜したSiN膜を低温アニールによって改質し、また、製造装置系の構成を簡素化することを目的とする。

#### 【0017】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1参照

(1) 本発明は、半導体装置の製造方法において、基体1上にSiN膜5を堆積したのち、触媒体3に原料ガス2を吹きつけ、触媒体3と原料ガス2との接触反応によって原料ガス2の少なくとも一部を分解し、分解によって生成された活性種4の雰囲気中にSiN膜5を晒すことを特徴とする。

【0018】この様に、触媒により活性化した活性種4を用いてアニールすることによって、低温プロセスのみで、基体1-SiN膜5の界面を改質することができるとともに、SiN膜5の膜質を改善することができ、特に、EOTが2~5nm程度のSiN膜5の場合に効果的であり、極薄ゲート絶縁膜を用いたMISFETの特性を向上することができる。なお、この場合の基体1とは、シリコン基板、基板上に成膜したシリコン堆積層、或いは、金属を意味するものであり、また、原料ガスの少なくとも一部を分解するとは、原料ガスの一部をNラジカルやN<sub>2</sub>ラジカル等に分解しても良いし、或いは、原料ガスの全部をNラジカルやN<sub>2</sub>ラジカル等に分解しても良いことを意味する。

【0019】(2) また、本発明は、上記(1)において、原料ガス2として、NH<sub>3</sub>を用いたことを特徴とする。

【0020】この様に、SiN膜5のアニールに際して、原料ガス2としてNH<sub>3</sub>を用いることによって、SiN膜5中の水素或いは基体1-SiN膜5の界面の水素を低減し、SiN膜5の膜質を改善することができるとともに、界面準位密度を低減することができる。

【0021】(3) また、本発明は、上記(1)または(2)において、触媒体3として、抵抗発熱体を用いたことを特徴とする。

【0022】この様に、触媒体3として抵抗発熱体を用いることによって、触媒体3の温度を1800°C程度の高温にすることによって、この高温状態の触媒体3とNH<sub>3</sub>を接触させることによって、Nの活性種、即ち、窒素原子のラジカル、や、N<sub>2</sub>の活性種、即ち、窒素分子のラジカルの相対比率を多くすることができ、結果的に良好なSiN膜5の膜質の改善効果、及び、基体1-SiN膜5の界面の界面準位密度の低減効果が得られる。

【0023】(4) また、本発明は、上記(1)乃至(3)のいずれかにおいて、触媒体3として、タンクステンを用いたことを特徴とする。

【0024】この様な触媒アニールに用いる触媒体3としては、高温に耐え、触媒体材料の分解によるSiN膜5への混入がなく、且つ、原料ガス2との反応により表面が変質しにくいタンクステン(W)が好適である。

【0025】(5) また、本発明は、上記(1)乃至(4)のいずれかにおいて、SiN膜5が、触媒化学気相成長法によって堆積したSiN膜5であり、引き続いで、同じ反応容器内において、原料ガス2の分解によって生成された活性種4の雰囲気中にSiN膜5を晒すこ

とを特徴とする。

【0026】この様に、SiN膜5を触媒化学気相成長法(Catalytic Chemical Vapor Deposition法：触媒CVD法)によって成膜した場合には、SiN膜5の堆積工程と、触媒アニールとを同じ反応容器内における一連の工程として(即ち、in-situ)行うことによって、製造装置系の構成を簡素化することができる。

【0027】

【発明の実施の形態】ここで、本発明の実施の形態を説明するが、実施の形態の製造工程を説明する前に、図2及び図3を参照して、本発明の実施の形態に用いる触媒CVD装置及び、触媒CVD法で成膜したSiN膜のJ-E特性を説明する。

図2参照

図2は、本発明の実施の形態に用いる触媒CVD装置の概念的構成図であり、反応室となる真空容器11には排気管12が接続されており、この排気管12を介して拡散ポンプ13によって反応生成物或いは未反応の原料ガス19が排気される。

【0028】また、真空容器11の上部中央には、基板ホルダー14が設けられており、この基板ホルダー14にはサセプタ等によって保持された試料15が固着されており、また、基板ホルダー14の四部には試料を加熱するためにヒーター16が設けられており、試料15の温度は熱電対17によって監視される。

【0029】また、試料15に対向するように、原料ガス19を吹き出すためのノズルを有するガス供給管18及びタンクスチレン触媒体20を配置し、両者の間にシャッター23を設けておき、タンクスチレン触媒体20には交流電源21から、700W程度、例えば、680Wの交流電力が供給され、タンクスチレン触媒体20の触媒体線温度は1800~1900°C程度の高温になる。なお、タンクスチレン触媒体20の触媒体線温度は、コイル状のタンクスチレン触媒体20の電気抵抗の温度依存性からまず見積られるが、真空容器11に設けた石英窓(図示せず)を介して電子式の赤外放射温度計22によって見積られる。

【0030】この高温のタンクスチレン触媒体20に原料ガス19が吹きつけられ、原料ガス19とタンクスチレン触媒体20とが接触することによって、原料ガス19が分解してラジカル等の活性種が形成され、シャッター23を開きこの活性種を含む雰囲気中に試料15が晒されることによって、成膜或いはアニール処理が行われる。なお、この場合、タンクスチレン触媒体20からの熱輻射による基板温度の上昇が危惧されるが、試料15とタンクスチレン触媒体20との間の距離を5cm程度とした場合には、熱輻射による温度上昇は数10°C以内であるので、低温化の観点からは問題とならない(必要ならば、応用物理、Vol. 66, No. 10, pp. 10

94-1097, 1997参照)。

【0031】次に、この触媒CVD装置を用いてSiN膜を成膜した場合のSiN膜の特性を説明する。まず、試料15となる水素終端した(100)面を正面とする比抵抗が0.1Ω·cmのp型シリコン基板の基板温度を約200°Cとした状態で、原料ガス19としてSiH<sub>4</sub>とNH<sub>3</sub>を用いて4.8nmのSiN膜を成膜し、SiN膜の上にAl膜を設けて電極とする。なお、この場合の基板温度とは、熱電対17による検出温度を意味する。

【0032】図3参照

図3は、この様にして成膜したSiN膜のJ(電流密度)-E(電界)特性を示す図であり、比較のためにJVD法で成膜したSiN膜(必要ならば、Mukesh Khare, Symp. on VLSI Tech. Dig. pp. 51-52, June, 1997参照)、及び、減圧化学気相成長法(LPCVD法)で成膜したSiN膜(H. C. Cheng, IEEE ELECTRON DEVICE LETTERS, Vol.

20 16, No. 11, pp. 509-511, November, 1995参照)を合わせて示している。なお、このJ-E特性の測定に際しては、Al膜を設けた後の熱処理、即ち、PMA(Post Metal Anneal)処理を行わない状態で測定した。

【0033】図から明らかなように、触媒CVD法によって成膜したSiN膜は、3MV/cm以上の電界強度領域において、他の低温成膜法によるSiN膜より電流密度、即ち、リーケ電流が少なく、また、絶縁耐圧としては9MV/cm以上の高品質のSiN膜が得られたことが確認され、微細Si集積回路プロセスへの応用が期待される。なお、触媒CVD法自体は、本発明者の一人である松村等により発表されており(例えば、特開平8-250438号公報、特開平10-83988号公報、或いは、上述の応用物理、Vol. 66, No. 10, pp. 1094-1097, 1997参照)、また、触媒CVD装置を用いた基板表面の窒化法は、本発明者の一人である和泉により発表されている(Applied Physics Letters, Vol. 71, No. 10, pp. 1371-1372, September, 1997参照)。

【0034】この様な事項を前提として、低温成膜したSiN膜の膜質を改善するため低温アニールに関する本発明の実施の形態を図4乃至図7を参照して説明する。図4(a)参照

まず、図4を参照して、本発明の実施の形態の製造工程を説明するが、(100)面を正面とするn型シリコン基板31の表面をRCA洗浄によって清浄化したのち、図2に示した触媒CVD装置内において、n型シリコン基板31の温度を300°Cとした状態で、原料ガス19としてSiH<sub>4</sub> 33を1.1sccm、NH<sub>3</sub> 32を5

7  
0~60 sccm 流して真空容器11内のガス圧を0.01 Torr とし、n型シリコン基板31との間隔が3.7 cmとなるように配置したタンゲステン触媒体20に交流電源21から680Wの交流電力を投入して1800~1900°Cに加熱し、この加熱されたタンゲステン触媒体20にNH<sub>3</sub>、32及びSiH<sub>4</sub>、33を接触させることによってNH<sub>3</sub>、32及びSiH<sub>4</sub>、33を分解して活性種34、35を生成し、この活性種34、35をn型シリコン基板31の表面で反応させることによってSiN膜36を堆積させる。

【0035】図4(b) 参照

引き続いて、同じ真空容器11内で(in-situ)、SiH<sub>4</sub>、33の供給を停止し、NH<sub>3</sub>、37のみを50~60 sccm 供給してガス圧を0.013 Torrとした以外は成膜工程と同じ条件で、活性種38を生成し、この活性種38を含む雰囲気中でSiN膜36を、例えば、1時間熱処理することによって改質されたSiN膜39を形成する。なお、この場合の活性種38は、NH<sub>3</sub>、37が分解して形成された各種のラジカル等から構成されており、その中でも、Nラジカルが最も多く、次いで、N<sub>2</sub>ラジカルが多かった。

【0036】図5(a) 参照

図5(a)は、NH<sub>3</sub>による触媒アニール処理を行わない前のSiN膜36のC-V特性を示す図であり、このC-V特性からはSiN膜36のEOTは4.06 nmと見積もられ、また、界面準位密度D<sub>s</sub>は8.63 × 10<sup>11</sup> cm<sup>-2</sup> eV<sup>-1</sup>であった。因に、この場合のSiN膜36の比誘電率は、エリプソメトリ(偏光解析法)により求めた膜厚とC-V特性により求めた膜厚とが一致するように比誘電率を求めた場合、約4.4であった。

【0037】図5(b) 参照

図5(b)は、NH<sub>3</sub>による触媒アニール処理を行った後のSiN膜39のC-V特性を示す図であり、このC-V特性からはSiN膜39のEOTは3.80 nmと見積もられ、履歴特性も改善されており、また、界面準位密度D<sub>s</sub>は3.53 × 10<sup>11</sup> cm<sup>-2</sup> eV<sup>-1</sup>と処理前の1/2以下に低減していた。因に、この場合のSiN膜39の比誘電率は、エリプソメトリにより求めた膜厚とC-V特性により求めた膜厚とが一致するように比誘電率を求めた場合、約6.5であり、処理前の比誘電率に比べて50%程度増加しているのが確認された。なお、これらのC-V特性の測定に際しては、A1電極を形成するだけで、PMA処理は行っていない。

【0038】図6(a) 参照

図6(a)は、本発明の実施の形態によるSiN膜のJ-E特性を示す図であり、NH<sub>3</sub>が分解されて生成した活性種中の低温アニール処理の前のEOTが2.97 nmのSiN膜36の電流密度、即ち、リーク電流に比べて、低温アニール処理後のEOTが2.78 nmのSiN膜39においては、2桁以上電流密度が小さくなっ

ており、また、絶縁耐圧も向上している。

【0039】図6(b) 参照

図6(b)は、本発明の実施の形態によるSiN膜のJ-E特性を、他の成膜法によるほぼ同じ等価膜厚の絶縁膜と比較したものであり、膜厚が2.80 nmの熱SiO<sub>2</sub>膜に比べて、電流密度、したがって、リーク電流が2桁以上改善されている。

【0040】また、室温においてJVD法により堆積させたのち、N<sub>2</sub>雰囲気中で800°C程度の温度における10アニール処理を行い、さらに、電極形成後、PMA処理を行ったEOTが2.9 nmのSiN膜と比較した場合、このJVD法によるSiN膜は800°C程度の高温アニール処理を受けているので、本発明のSiN膜はほぼ一桁程度リーク電流が多くなるが、それでも等価膜厚がほぼ等しい熱SiO<sub>2</sub>膜と比べてかなりの改善が見られ、充分なJ-E特性と言えるものである。

【0041】図7(a) 参照

図7(a)は、上記の図5に示したC-V特性の説明において示した界面準位密度を改めてグラフ化したものであり、本発明の触媒アニール処理によって、界面準位密度は、約40%程度に低減しているのが分かる。

【0042】図7(b) 参照

図7(b)は、NH<sub>3</sub>が分解されて生成した活性種中の低温アニール処理を行わない前(as-deposited)のSiN膜36と低温アニール後(NH<sub>3</sub> treatment)のSiN膜39のX線光電子分光(XPS: X-ray Photoelectron Spectroscopy)スペクトルにおけるN<sub>1s</sub>(窒素原子の1s軌道の電子)の強度を示す図であり、本発明の低温アニール処理によって、水素に起因すると考えられる拘束エネルギーが400 eV付近の強度が大幅に低減しており、SiN膜36中の或いはn型シリコン基板31との界面におけるHがNによって置き換えられたものと考えられる。

【0043】以上を総括するならば、NH<sub>3</sub>を触媒によって分解して生成した活性種中の低温アニール処理によって、SiN膜中のHがNに置き換ることによってSiN膜の比誘電率が大きくなり、それによって、等価酸化膜厚EOTをより小さくすることができ、同じ等価酸化膜厚のゲート絶縁膜として本発明のSiN膜を用いる場合には、その絶対膜厚を従来のSiO<sub>2</sub>膜に比べて厚くすることができるので、ゲート絶縁膜の膜厚を均一にすることができ、それによって、MISFETの特性のバラツキを抑制することができる。

【0044】また、本発明の低温アニール処理によってSiN膜39-n型シリコン基板31の界面のHをNに置き換えるとともに、ダングリング・ボンドをNで終端することができるので、界面準位密度を大幅に低減することができ、それによって、リーク電流が減少し、且つ、絶縁耐圧も向上するので、特性の優れたMISFE

Tを製造することができる。

【0045】また、本発明の場合には、この様な触媒アニール処理を低温で、特に、300°C以下の低温において行うことができるので、しきい値電圧制御のためにチャネル領域に注入した不純物の再分布を抑制することができ、短チャネル効果の悪化を防止することができる。

【0046】なお、この様な300°C以下のアニール処理によってもSiN膜の膜質の改善及び界面状態の改質が可能になる理由は、必ずしも明らかでないが、従来例のような単なるメッシュ状の触媒ではなく、1800～1900°Cの高温になった抵抗発熱体のタングステン触媒体20を用いたことにより、NH<sub>3</sub>が効率的に分解され、且つ、生成するラジカルの相対比としてNラジカルが多くなることも一つの理由であると考えられる。

【0047】また、本発明の具体的な実施の形態においては、触媒アニール処理を行うSiN膜を触媒CVD法によって成膜し、且つ、同じ装置内で引き続いて(in-situ)触媒アニール処理を行っているので、成膜装置とアニール装置を共通化することができ、それによって、製造装置系の構成を簡素化することができる。

【0048】以上、本発明の実施の形態を説明してきたが、本発明は実施の形態に記載した構成・条件に限られるものではなく、各種の変更が可能である。例えば、実施の形態の説明においては、n型シリコン基板を用いて説明しているが、図3に関する説明から明らかなように、p型シリコン基板にも適用されることは自明であり、また、バルクシリコン基板に限らず、シリコン基板等の基板上にエピタキシャル成長させたシリコン膜上にSiN膜を堆積させた場合にも適用されることは自明である。

【0049】また、本発明はSiN膜の改質を本質的要件とするものにすぎないので、SiN膜を堆積させるシリコン膜は純粋な単結晶シリコン膜に限らず、多結晶シリコン膜或いはアモルファスシリコン膜をレーザアニールによって結晶化した結晶性シリコン膜にも適用されること、したがって、TFTのゲート絶縁膜の形成工程に適用されることは自明である。また、本発明は上述のように、SiN膜の改質を本質的要件とするものにすぎないので、SiN膜を堆積させる対象は金属であっても良いことは明らかである。

【0050】また、本発明の触媒アニール処理は、300°C以下の温度で行えるので、低温プロセス化により寄与するものであるが、必ずしも、300°C以下に限られるものではなく、不純物の再分布等に関する条件が緩和される場合には、300°C以上の温度で触媒アニール処理を行っても良いものである。

【0051】また、本発明の実施の形態においては、等価酸化膜厚(EOT)が5nm以下の極薄ゲート絶縁膜を対象としているが、必ずしも、この様な極薄膜に限られるものではなく、且つ、ゲート絶縁膜に限られるもの

ではなく、側壁絶縁膜或いは層間絶縁膜等の改質にも適用されることは、新規性喪失の例外規定の対象となるOHP(オーバー・ヘッド・プロジェクト)原稿のまとめにおける「今後のULSIへの応用可能性の示唆」なる記載から自明である。

【0052】また、図2に示した触媒CVD装置において、タングステン触媒体20は、コイル状になっているが、インダクタンス特性を利用している訳ではないので、コイル状に限られるものではなく、また、印加電力も交流電力に限られるものではなく、直流電力でも良いことが原理的に自明である。

【0053】

【発明の効果】本発明によれば、低温で成膜したSiN膜を、NH<sub>3</sub>を触媒によって分解して生成した活性種の雰囲気中で低温アニール処理することによって膜質及び界面状態を改善しているので、不純物の再分布を抑制することができ、それによって特性の優れたMISFETをバラツキなく製造することが可能になり、高集積度半導体集積回路装置の微細化・高性能化に寄与するところ

20 が大きい。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の実施の形態に用いる触媒CVD装置の概念的構成図である。

【図3】触媒CVD法で成膜したSiN膜のJ-E特性の説明図である。

【図4】本発明の実施の形態の製造工程の説明図である。

【図5】本発明の実施の形態によるSiN膜のC-V特性の説明図である。

【図6】本発明の実施の形態によるSiN膜のJ-E特性の説明図である。

【図7】本発明の実施の形態によるSiN膜の界面準位密度とXPSスペクトルの説明図である。

【符号の説明】

- |       |           |
|-------|-----------|
| 1     | 基体        |
| 2     | 原料ガス      |
| 3     | 触媒体       |
| 4     | 活性種       |
| 40 5  | SiN膜      |
| 11    | 真空容器      |
| 12    | 排気管       |
| 13    | 拡散ポンプ     |
| 14    | 基板ホルダー    |
| 15    | 試料        |
| 16    | ヒーター      |
| 17    | 熱電対       |
| 18    | ガス供給管     |
| 19    | 原料ガス      |
| 50 20 | タングステン触媒体 |

11

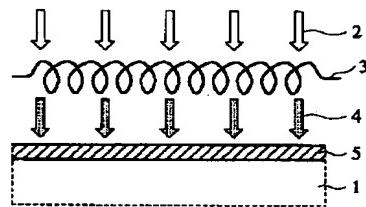
12

- 21 交流電源  
 22 赤外放射温度計  
 23 シャッター  
 31 n型シリコン基板  
 32 NH<sub>3</sub>  
 33 SiH<sub>4</sub>

- \* 34 活性種  
 35 活性種  
 36 SiN膜  
 37 NH<sub>3</sub>  
 38 活性種  
 \* 39 SiN膜

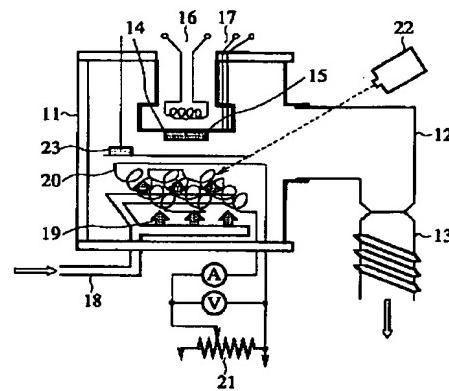
【図1】

本発明の原理的構成の説明図



- 1: 基体  
 2: 原料ガス  
 3: 触媒体  
 4: 活性種  
 5: SiN膜

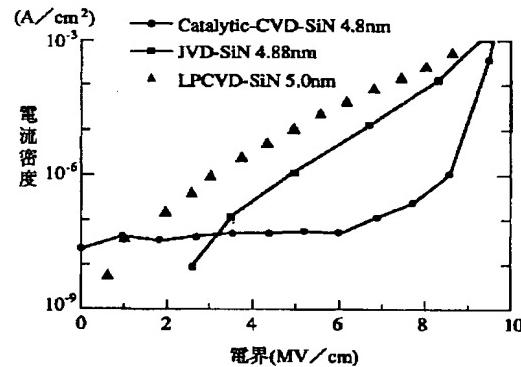
【図2】

本発明の実施の形態に用いる  
触媒CVD装置の概念的構成図

- |            |               |
|------------|---------------|
| 11: 真空容器   | 18: ガス供給管     |
| 12: 排気管    | 19: 原料ガス      |
| 13: 抽気ポンプ  | 20: タングステン触媒体 |
| 14: 基板ホルダー | 21: 交流電源      |
| 15: 試料     | 22: 赤外放射温度計   |
| 16: ヒーター   | 23: シャッター     |
| 17: 热電対    |               |

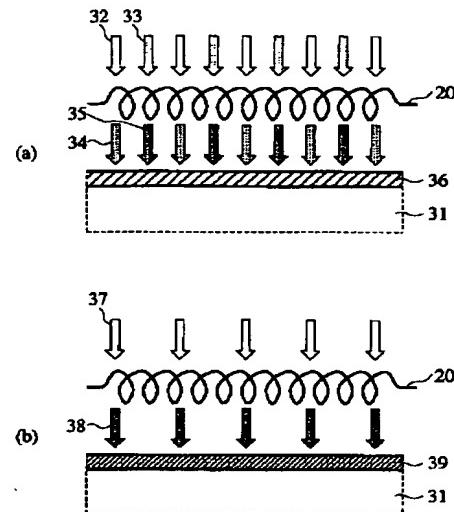
【図3】

触媒CVD法で成膜したSiN膜のJ-E特性の説明図



【図4】

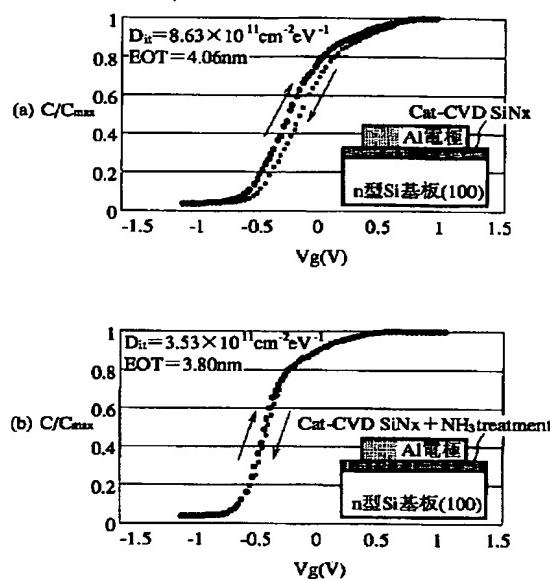
本発明の実施の形態の製造工程の説明図



20 : タングステン触媒体	35 : 活性種
31 : n型シリコン基板	36 : SiN膜
32 : $NH_3$	37 : $NH_3$
33 : $SiH_4$	38 : 活性種
34 : 活性種	39 : SiN膜

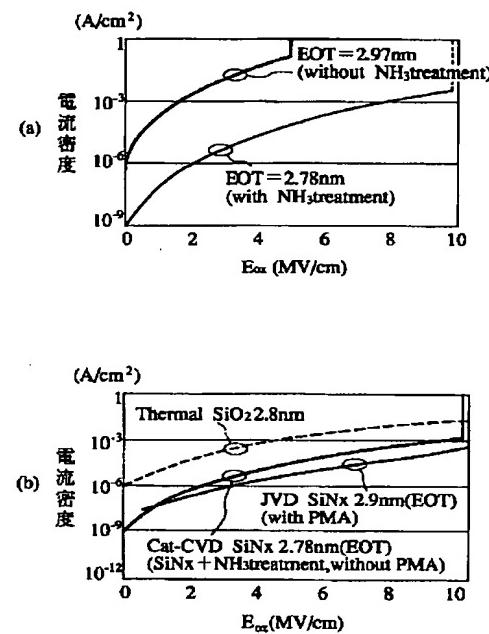
【図5】

本発明の実施の形態によるSiN膜のC-V特性の説明図

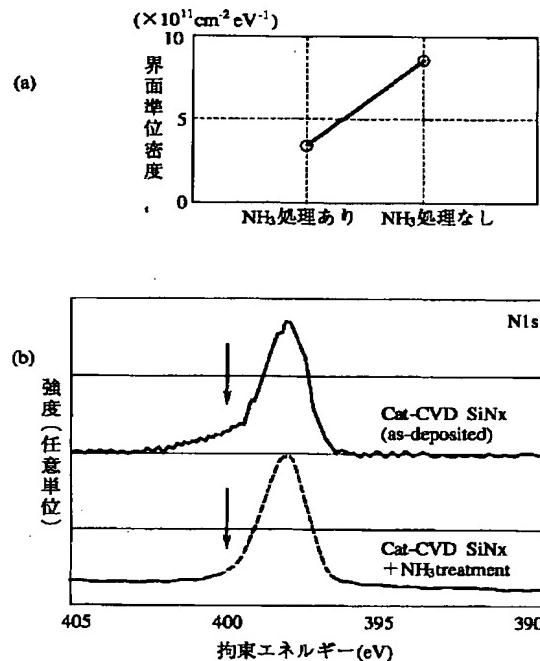


【図6】

本発明の実施の形態によるSiN膜のJ-E特性の説明図



【図7】

本発明の実施の形態によるSiN膜の界面単位密度と  
XPSスペクトルの説明図

フロントページの続き

(51) Int.C1. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P
21/336			6 1 7 V
29/786			
(72) 発明者 松村 英樹		F ターム (参考)	5F040 DA06 ED04
石川県金沢市南四十万3-93			5F045 AA03 AA06 AB33 AC01 AC12
			AD07 AE17 AF01 AF03 AF10
			BB16 CA05 CA15 DC63 DP01
			DP02 DP03 HA16 HA21 HA22
			5F058 BA20 BC07 BC08 BF01 BF02
			BF04 BF23 BF30 BG10 BH01
			BH04 BH05 BJ01 BJ10
			5F110 AA08 AA17 FF03 FF29 FF36